

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-124950

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

H01L 21/56

H01L 33/00

(21)Application number : 06-262121

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.10.1994

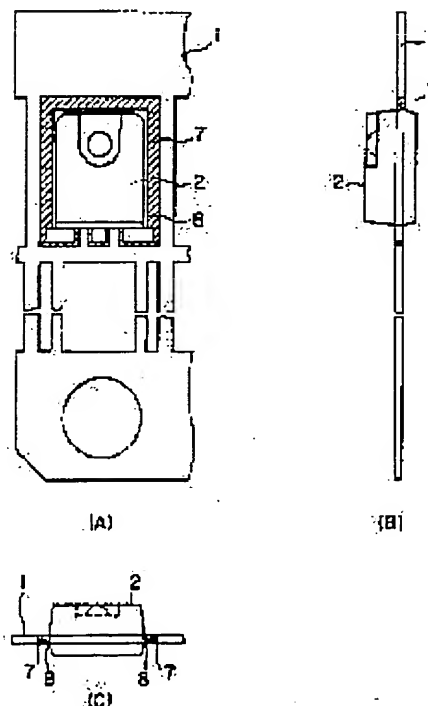
(72)Inventor : OBARA SHOJI
KAWAGUCHI TOSHITADA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent generation of cracks on a package molded part when the burr generated on the package molded part is cut off by a method wherein, after a burr has been molded in such a manner that it is thin on the side edge of a package and becomes thick as going away from the package, the package is cut off by punching at the thin part of the burr.

CONSTITUTION: The semiconductor chip, which is connected to a lead frame 1 by providing a clearance part, is sealed by resin, a package 2 is cut off, and a semiconductor device is manufactured. In that case, after a burr 7, which is thin on the side edge part of the package 2 and becomes thicker as going away from the package 2, has been formed, the package 2 is cut off by punching at the thin part 8. For example, when a resin sealing process is conducted, a triangular dam block is formed on a resin sealing and molding mold for the purpose of forming a triangular burr on the clearance part located between a package molding part 2 and the lead frame 1 linking to the package molding part 2.



LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection] 16.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-124950

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/56	D			
33/00	N			

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-262121

(22) 出願日 平成6年(1994)10月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小 原 省 治

福岡県北九州市小倉北区下到津1-10-1

株式会社東芝北九州工場内

(72) 発明者 川 口 敏 惟

福岡県北九州市小倉北区下到津1-10-1

株式会社東芝北九州工場内

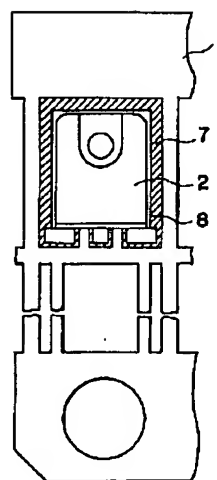
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

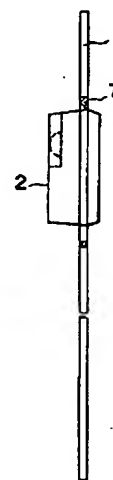
(57) 【要約】

【目的】 リードフレームの打ち抜きと同時にパッケージ成形部のクリアランス部に生じるバリを切り離す際、パッケージ成形部に応力がかからないようにし、それによりリードフレームの打ち抜きの際にパッケージ成形部にクラックが発生しないようにする。

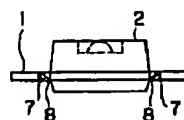
【構成】 リードフレームにクリアランス部を設けて接続された半導体チップを樹脂封止しパッケージを形成する工程と、前記リードフレームより前記パッケージを切り離す工程とを有する半導体装置の製造方法において、前記クリアランス部に、前記パッケージの側縁部で薄く前記パッケージから離れるに従って厚くなるバリを成形する工程と、前記パッケージを前記バリの薄い部分で打ち抜いて切り離す工程とを有する。



(A)



(B)



(C)

【特許請求の範囲】

【請求項1】リードフレームにクリアランス部を設けて接続された半導体チップを樹脂封止しパッケージを形成する工程と、前記リードフレームより前記パッケージを切り離す工程とを有する半導体装置の製造方法において、

前記クリアランス部に、前記パッケージの側縁部で薄く前記パッケージから離れるに従って厚くなるバリを成形する工程と、前記パッケージを前記バリの薄い部分で打ち抜いて切り離す工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記バリは厚さ方向の断面形状が三角形状であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置、例えばフォトダイオード等の光半導体素子の製造において従来行われている樹脂封止（パッケージング）工程について説明する。図3（A）、（B）に示すように、平板状のリードフレーム1に、形成すべきパッケージすなわちパッケージ成形部2のための部分が予め型抜きされており、半導体チップに接続されて半導体装置のリードとなる部分が長手方向に突出するように形成されている。このリードとなる部分に半導体チップ（図示せず）がボンディング技術等によって接続されている。

【0003】このような状態の光半導体チップを樹脂封止成形のための金型（図示せず）に装着し、パッケージ成形部2に相当するキャビティを形成する。このとき、リードフレーム1と間のクリアランス部（約0.1mm）を設定して、リードフレーム1とパッケージ成形部2のカミ込みを防止する。金型のゲートからキャビティに透明の液状のエポキシ樹脂を充填して、パッケージ成形部2を樹脂封止成形する。この樹脂封止工程の際、クリアランス部に板厚バリ3が形成される。この板厚バリ3はパッケージ成形部2の側面に形成され、リードフレーム1の厚さとほぼ同じ厚さを持っており、リードフレーム1に固着している。

【0004】図3に示す半製品状態のものからパッケージ成形部2と一体のリードフレーム1の必要部分（リード部）を残し不要部を除去するように打ち抜きを施して、図4に示すように所定形状のリード4を有する単体の製品としての光半導体素子5が得られる。

【0005】

【発明が解決しようとする課題】しかしながら、リードフレーム1を打ち抜くのと同時にパッケージ成形部2の側面の板厚バリ3を切り離す際、パッケージ成形部2に

大きな応力が加わって、パッケージ成形部2の側面にクラック6が発生することがあった。当然のことながらクラック6が発生した製品は品質不良として不良品扱いとなる。

【0006】このような不都合を回避するため、リードフレームを打ち抜く方法を変更して対応することも考えられる。しかしながら、そうすることによってクラックの発生率は低減できるかもしれないが、クラックの発生そのものを防止することはできない。

【0007】本発明は上記事情を考慮してなされたもので、その目的はリードフレームの打ち抜きと同時にパッケージ成形部のクリアランス部に生じるバリを切り離す際、そのバリ切断時にパッケージ成形部に応力が加からないようにし、それによりリードフレームの打ち抜きの際にパッケージ成形部にクラックが発生しないようにする半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明による半導体装置の製造方法は、リードフレームにクリアランス部を設けて接続された半導体チップを樹脂封止しパッケージを形成する工程と、前記リードフレームより前記パッケージを切り離す工程とを有する半導体装置の製造方法において、前記クリアランス部に、前記パッケージの側縁部で薄く前記パッケージから離れるに従って厚くなるバリを成形する工程と、前記パッケージを前記バリの薄い部分で打ち抜いて切り離す工程とを有することを特徴とするものである。

【0009】その場合、バリは厚さ方向の断面形状が三角形状であることが望ましい。

【0010】

【作用】樹脂封止工程に際して、パッケージの周囲のクリアランス部に形成されるバリがパッケージの側縁部で薄く、パッケージから離れるに従って厚くなるように成形し、パッケージをリードフレームから打ち抜いて切り離す際、バリの薄い部分で打ち抜くことによって、パッケージに大きな応力をかけることなくパッケージを切り離すことができる。このため、パッケージの打ち抜き時に加わる応力に起因するクラックの発生を防止することができる。

【0011】

【実施例】以下、図面を参照しながら本発明の一実施例を説明する。

【0012】図1に示すように、樹脂封止工程の際にパッケージ成形部2に連なってそれとリードフレーム1との間のクリアランス部に三角バリ7を形成するために、樹脂封止成形金型（図示せず）に三角状のダムブロックを形成しておく。平板のリードフレーム1にはパッケージ成形部2のための部分が予め型抜きされ、半導体チップに接続されて半導体装置のリードとなる部分が長手方向に突出するように一体に形成されている。このリード

3

となる部分に光半導体チップ（図示せず）がボンディング技術等によって接続される。

【0013】このような状態の光半導体チップを上述した樹脂封止成形のための金型に装着し、パッケージ成形部2に相当するキャビティを形成する。このとき、リードフレーム1との間にクリアランス部を設定して、リードフレーム1とパッケージ成形部2のカミ込みを防止することはすでに述べたところである。金型のゲートからキャビティに透明の液状のエポキシ樹脂を充填して、パッケージ成形部2を樹脂封止成形する。このとき、パッケージ成形部2およびその周囲に位置するリードフレーム1との間にパッケージ成形部2に連なる断面三角形をした三角バリ7が形成され、その三角バリ7には薄バリ部8が形成される。三角バリ7はパッケージ成形部2の側縁部で薄く、パッケージ成形部2から離れるに従って厚くなるように形成される。パッケージ成形部2をリードフレーム1から打ち抜いて切り離す際、三角バリ7の薄バリ部8で切り離されるように打ち抜かれる。このようにして図2に示すような単体の製品としての光半導体素子9が得られる。打ち抜きの際、薄バリ部8で切断されることにより、パッケージ成形部2の側面に応力がかかることがなく、したがって、打ち抜きの際の応力によりパッケージ成形部2にクラックが生ずることはない。

【0014】本発明の実施例によれば、樹脂封止の際にパッケージ成形部の周囲に三角バリを形成し、しかもパッケージ側を薄バリ部にするので、この薄バリ部で容易に打ち抜き・切断することができる。このため、バリ切断時に加わる応力によってパッケージ成形部に発生していたクラックを極力防止することができる。

【0015】また、1回の切断工程だけでバリがパッケージから除去されるので、全体を薄バリにしたときのようなバリ取りの工程を設ける必要がない。

【0016】さらに、三角バリは樹脂溜りとしても機能し、樹脂封止工程の際にパッケージ成形部で発生した気

4

泡がそこに押し出されるため、パッケージ内の気泡（巣）を減少させることができる。このため、気泡に起因した製品不良を防止することができる。

【0017】以上、実施例として光半導体装置の場合について説明したが、本発明は光半導体装置に限られることはなく、その他の半導体装置についても適用することができる。

【0018】

【発明の効果】本発明によれば、パッケージ成形部をリードフレームから打ち抜きによって切り離す時に、パッケージに加わる応力を抑えてクラックの発生を防止し、したがってクラックに起因する製品の歩留り低下を極力抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するためにリードフレームと一体のパッケージ成形部を示すもので、(A)は平面図、(B)は側面図、(C)は正面図。

【図2】図1に示す実施例に従って構成された半導体装置の斜視図。

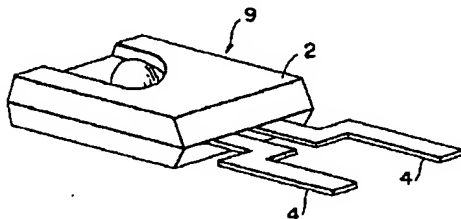
【図3】従来例を説明するためにリードフレームと一体のパッケージ成形部を示すもので、(A)は平面図、(B)は側面図。

【図4】図3に示す従来例に従って構成された半導体装置の斜視図。

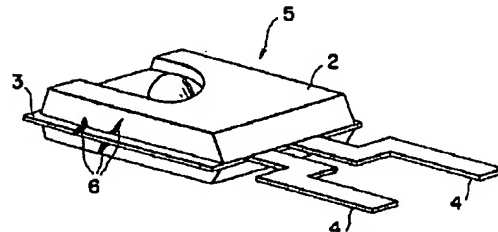
【符号の説明】

- 1 リードフレーム
- 2 パッケージ成形部
- 3 板厚バリ
- 4 リード
- 5 光半導体素子
- 6 クラック
- 7 三角バリ
- 8 薄バリ部
- 9 光半導体素子

【図2】



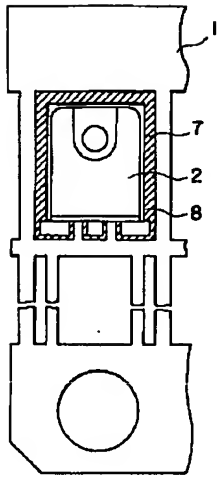
【図4】



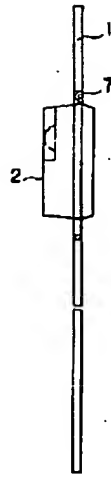
(4)

特開平8-124950

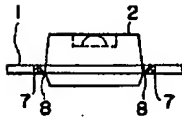
【図1】



(A)

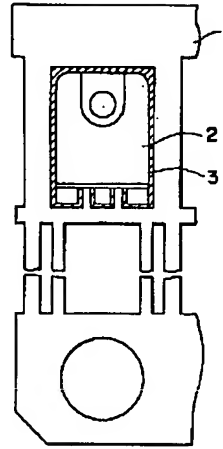


(B)

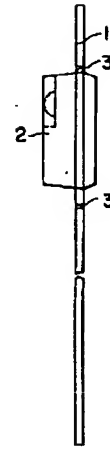


(C)

【図3】



(A)



(B)